

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ТИТУЛЬНЫЙ ЛИСТ ОПИСАНИЯ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2014118322/08, 06.05.2014

(24) Дата начала отсчета срока действия патента:
06.05.2014

Приоритет(ы):

(22) Дата подачи заявки: 06.05.2014

(45) Опубликовано: 20.12.2014 Бюл. № 35

Адрес для переписки:

644050, г. Омск, пр. Мира, 11, ОмГТУ,
информационно-патентный отдел, Бабенко О.И.

(72) Автор(ы):

Алпысова Алина Наилевна (RU),
Бубнов Алексей Владимирович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
профессионального образования "Омский
государственный технический университет"
(RU)RU
148933
U1

(54) ИМПУЛЬСНЫЙ ЧАСТОТНО-ФАЗОВЫЙ ДИСКРИМИНАТОР

(57) Формула полезной модели

Импульсный частотно-фазовый дискриминатор, содержащий блок фазового сравнения, первый и второй входы которого являются соответственно первым и вторым входами импульсного частотно-фазового дискриминатора, а также первый и второй блокирующие триггеры, синхровходы которых соединены со вторым входом блока фазового сравнения, информационные входы первого и второго блокирующих триггеров подсоединены соответственно к первому и второму выходам блока фазового сравнения, первый выход блока фазового сравнения является первым выходом импульсного частотно-фазового дискриминатора, выходы первого и второго блокирующих триггеров являются соответственно вторым и четвертым выходами импульсного частотно-фазового дискриминатора и подключены соответственно к первому и второму входам элемента ИЛИ-НЕ, выход которого является третьим выходом дискриминатора, отличающийся тем, что в него введены три D-триггера и два элемента ИЛИ, информационные входы первого, второго и третьего D-триггеров являются третьим, четвертым и пятым входами импульсного частотно-фазового дискриминатора, синхровходы первого, второго и третьего D-триггеров подключены ко второму входу импульсного частотно-фазового дискриминатора, вход установки в «0» первого D-триггера подключен к выходу первого блокирующего триггера, вход установки в «0» второго D-триггера подключен к выходу элемента ИЛИ-НЕ, вход установки в «0» третьего D-триггера подключен к выходу второго блокирующего триггера, выход первого D-триггера подключен ко входу установки в «1» первого блокирующего триггера и к первому входу второго элемента ИЛИ, выход второго D-триггера подключен к первому входу первого элемента ИЛИ и ко второму входу второго элемента ИЛИ, выход третьего D-триггера подключен ко второму входу первого элемента ИЛИ и ко входу установки в «0» второго блокирующего триггера, выход первого элемента ИЛИ подключен ко входу установки в «0» первого блокирующего