



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ТИТУЛЬНЫЙ ЛИСТ ОПИСАНИЯ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2015107741/08, 05.03.2015

(24) Дата начала отсчета срока действия патента:
05.03.2015

Приоритет(ы):

(22) Дата подачи заявки: 05.03.2015

(45) Опубликовано: 27.09.2015 Бюл. № 27

Адрес для переписки:

644050, г. Омск, пр. Мира, 11, ОмГТУ,
Информационно-патентный отдел, Бабенко О.И.

(72) Автор(ы):

Четверик Алина Наилевна (RU),
Бубнов Алексей Владимирович (RU),
Чудинов Александр Николаевич (RU),
Гокова Марина Владимировна (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
профессионального образования "Омский
государственный технический университет"
(RU)

(54) ИМПУЛЬСНЫЙ ЧАСТОТНО-ФАЗОВЫЙ ДИСКРИМИНАТОР

(57) Формула полезной модели

Импульсный частотно-фазовый дискриминатор, содержащий блок фазового сравнения, два блокирующих триггера и элемент ИЛИ-НЕ, первый и второй входы блока фазового сравнения являются соответственно первым и вторым входами импульсного частотно-фазового дискриминатора, синхровходы первого и второго триггеров соединены со вторым входом блока фазового сравнения, информационные входы первого и второго блокирующих триггеров подсоединены соответственно к первому и второму выходу блока фазового сравнения, при этом первый выход блока фазового сравнения является первым выходом импульсного частотно-фазового дискриминатора, а выходы первого и второго блокирующих триггеров подключены к первому и второму входам элемента ИЛИ-НЕ и являются вторым и четвертым выходами импульсного частотно-фазового дискриминатора, а выход элемента ИЛИ-НЕ является третьим выходом импульсного частотно-фазового дискриминатора, отличающийся тем, что введены дешифратор, шесть элементов И и два элемента ИЛИ, первый вход дешифратора подключен к третьему выходу блока фазового сравнения, второй вход дешифратора подключен к первому выходу блока фазового сравнения, первый выход дешифратора подключен к третьему входу второго элемента ИЛИ, второй выход дешифратора подключен ко вторым входам первого и третьего элементов И, третий выход дешифратора подключен ко вторым входам второго и четвертого элементов И, четвертый выход дешифратора подключен к третьему входу первого элемента ИЛИ, первый вход первого элемента И подключен к выходу второго блокирующего триггера, первые входы второго и третьего элементов И подключены к выходу элемента ИЛИ-НЕ, первый вход четвертого элемента И подключен к выходу первого блокирующего триггера, выходы первого и второго элементов И подключены соответственно к первому и второму входам первого элемента ИЛИ, выход которого

RU 155207 U1